

## TS832 八路E1 光端机专用集成电路

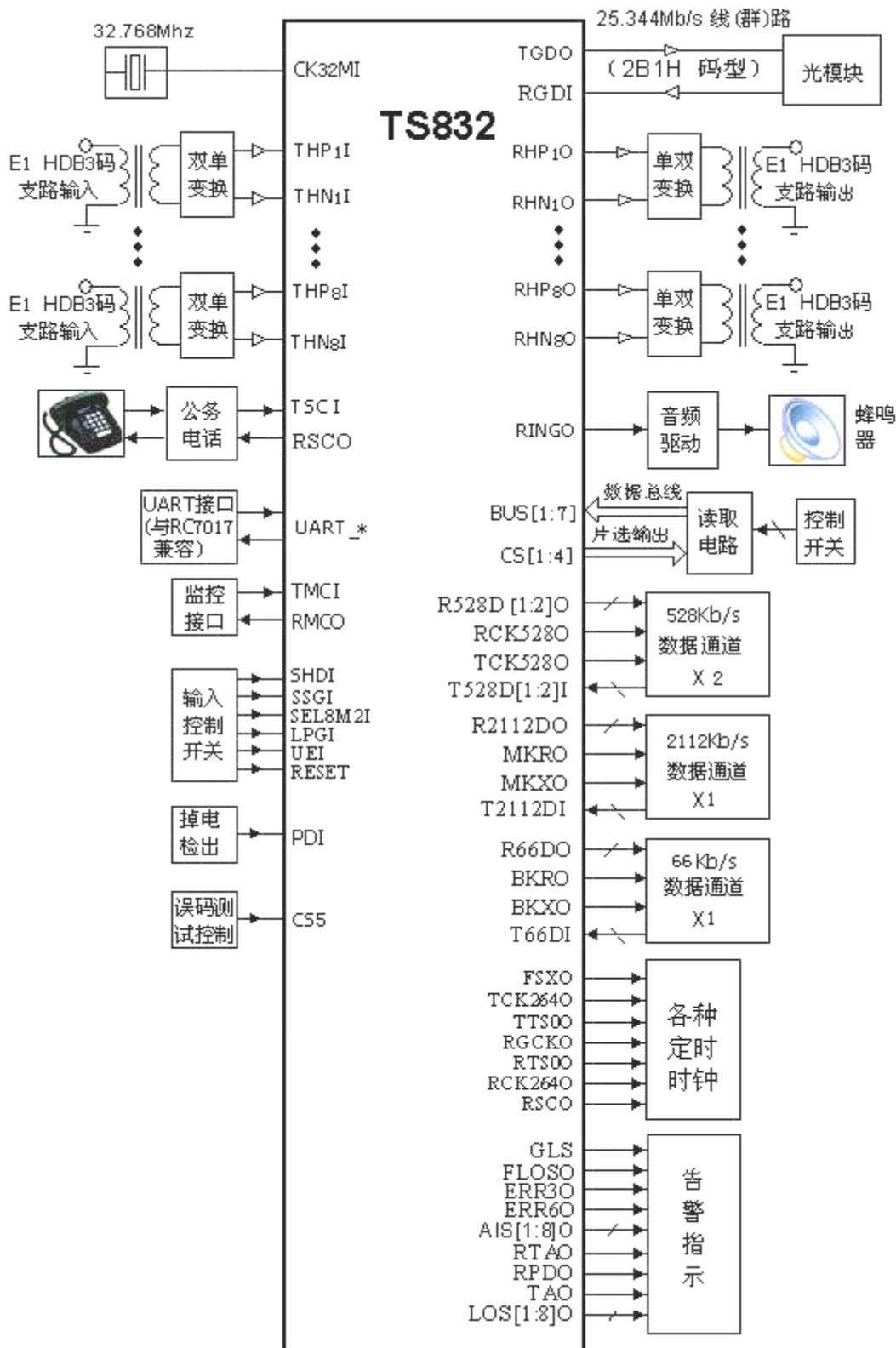
### 一、功能简介

TS832 —— 八路E1 光端机专用集成电路 (ASIC) 是安联创科技 (UCT) 与新加坡Trendsil共同开发的光通信专用芯片。采用单芯片、全数字化技术, 提供PDH 光端机完整的解决方案。包括提供25.344Mb/s、2B1H 编码、自同步扰码及外同步扰码的线路接口, 八路2048Kb/s E1, 一路2112Kb/s、两路528Kb/s 和三路66Kb/s 通道。其中四路2048Kb/s E1 可替换为一路8448Kb/s; 2112Kb/s 通道配有定时, 可提供30/32路话音通路。仅使用一个32.768Mhz 外部晶振, TS832 即可提供所需的各种定时时钟: 25344KHz、8448KHz、2112KHz、528KHz、264KHz、66KHz、8.25KHz 等, 简化了外围电路, 降低系统成本。

### 二、主要特点

- TS832 芯片内部集成有全数字化的25.344Mb/s 线路时钟提取电路, E1 支路时钟提取及锁相环电路。线路接口 (光纤接口) 有“自同步扰码 (5 级)”及“外同步扰码 (7 级)”可选, 方便用户根据需要进行配置; 线路码型为: 2B1H NRZ 码。
- TS832 芯片仅使用一个片外32.768Mhz 晶振即可提供包括25344KHz、8448KHz、2112KHz、528KHz、264KHz、66KHz、8.25KHz 等各种定时时钟, 进一步简化了外围电路, 降低系统成本。
- TS832 提供八路2048Kb/s E1 通道透传, 可单片完成240 路光端机的功能。其中四路E1 也可配置成一路8448Kb/s 接口, 可提供基于10BASE-T 的高速以太网通道, 从而省去4 × E1 转换器。
- E1 支路码型有HDB3 和NRZ 两种可供用户选择, 以便于机内使用, 如接V.35 或10BASE-T 接口电路等。
- TS832 提供一路呼叫公务电话, 配有振铃, 便于系统内通话以及工程开通与维护。
- TS832 具有远端掉电检出功能 当远端断电后, 本端有远端断电指示。
- TS832 提供支路的远端环回功能和完善的告警指示, 包括帧失步告警、八路E1 支路消失告警、本地总告警、远端总告警; 提供传输信道 $10^{-3}$ 误码率告警、 $10^{-6}$ 误码率告警。
- TS832 内置误码测试的功能 当需要检测线路的质量时, 将被测通道环回, 本端通过误码测试功能开关进行检测, 通过指示灯状态判断是否存在误码。
- TS832 提供了网管 (NM) 协议功能 (兼容润光RC7017 网管指令), 通过本端UART 接口可以查询本端和远端的各种告警信息以及配置各种寄存器。
- 各项指标均符合相关的 ITU-T 建议。
- 采用先进的 CMOS 工艺, 功耗低, 全配置工作条件下 $\leq 0.8W$ , 工作稳定可靠。
- +2.5V 和+3.3V 双电源供电; 内部电路+2.5V $\pm 5\%$ 供电, I/O 管脚+3.3V $\pm 5\%$ 供电并兼容5V TTL 电平。
- 工作温度: 0 ~ 70°C。
- 采用 LQFP-144 封装方式, 144 个管脚。

## 三、应用原理框图



## 四、TS832 管脚分配及说明

编号	信号名	类型	说明
1	AIS1O	O	复接侧E1第1支路AIS告警, 0: 告警, 1: 正常
2	AIS2O	O	复接侧E1第2支路AIS告警, 0: 告警, 1: 正常
3	AIS3O	O	复接侧E1第3支路AIS告警, 0: 告警, 1: 正常
4	AIS4O	O	复接侧E1第4支路AIS告警, 0: 告警, 1: 正常
5	AIS5O	O	复接侧E1第5支路AIS告警, 0: 告警, 1: 正常
6	AIS6O	O	复接侧E1第6支路AIS告警, 0: 告警, 1: 正常
7	VDD3		IO供电+3.3V
8	VSS3		IO GND
9	AIS7O	O	复接侧E1第7支路AIS告警, 0: 告警, 1: 正常
10	AIS8O	O	复接侧E1第8支路AIS告警, 0: 告警, 1: 正常
11	BUS0	I	总线0, 对应第1支路的控制, 和地址的ADDR0。内部下拉。
12	BUS1	I	总线1, 对应第2支路的控制, 和地址的ADDR1。内部下拉。
13	BUS2	I	总线2, 对应第3支路的控制, 和地址的ADDR2。内部下拉。
14	BUS3	I	总线3, 对应第4支路的控制, 和地址的ADDR3。内部下拉。
15	BUS4	I	总线4, 对应第5支路的控制, 和地址的ADDR4。内部下拉。
16	BUS5	I	总线5, 对应第6支路的控制, 和地址的ADDR5。内部下拉。
17	BUS6	I	总线6, 对应第7支路的控制, 用于地址时无效。内部下拉。
18	VSS2		CORE GND
19	VDD2		CORE供电+2.5V
20	BUS7	I	总线7, 对应第8支路的控制, 用于地址时无效。内部下拉。
21	CS1	O	0: 总线选通E1支路码型, 1: 总线断开 总线为0, HDB3码, 总线为1, NRZ码。
22	CS2	O	0: 总线选通远端E1支路环回, 1: 总线断开 总线为0, 不环回, 总线为1, 环回相应的E1支路。
23	CS3	O	0: 总线选通本端告警屏蔽, 1: 总线断开 总线为0, 不屏蔽, 总线为1, 屏蔽相应的E1支路。
24	CS4	O	0: 总线选通地址, 1: 总线断开。
25	CS5	O	0: 总线选通E1支路误码测试, 1: 总线断开 总线为0, 不测试, 总线为1, 相应的E1支路测试。
26	SHDI	I	摘机信号或呼叫信号输入0: 摘机, 1: 挂机。 A端摘机信号或呼叫信号要发到B端, B端接收到摘机信号后, 如果B端的未摘机, B端的RING管脚送出振铃信号; 如果B端摘机, B端振铃信号应消失; B端对A端的呼叫也一样。 内部上拉。
27	RINGO	O	振铃和告警(蜂鸣信号), 0: 不响, 1: 响铃 注: RING是复用管脚, 管脚CUT可以关闭告警音, 但不能关闭公务电话呼叫的RING蜂鸣声。
28	T66DI	I	复接侧66Kb/s数据通道信号输入。内部上拉。
29	TMCI	I	复接侧66Kb/s监控通道信号输入。内部上拉。

30	TSCI	I	复接侧66Kb/s公务通道语音编码信号输入。内部上拉。
31	VDD3		IO供电+3.3V
32	VSS3		IO GND
33	BKXO	O	复接侧66KHz语音编码的比特时钟输出。
34	T528D1I	I	复接侧528Kb/s第一支路数据通道信号输入。内部上拉。
35	T528D2I	I	复接侧528Kb/s第二支路数据通道信号输入。内部上拉。
36	TCK528O	O	复接侧528KHz时钟输出。
37	VSSP2		PLL GND
38	VDDP2		PLL供电+2.5V
39	FSXO	O	复接侧8Kb/s通道语音编码的字节同步信号时钟输出。
40	TTS0O	O	复接侧2112Kb/s串行总线零时隙TS0输出端，8bit宽正脉冲。
41	TCK264O	O	复接侧264KHz时钟输出。
42	MKXO	O	复接侧2112KHz时钟输出端，也作为话音主时钟。
43	T2112DI	I	复接侧2112Kb/s总线数据输入端。内部上拉。
44	GLOSI	I	光信号消失告警输入，0：无光，1：有光。内部下拉。
45	GLSO/PLLTST	O	复用管脚：当TMODI=1（测试状态下），PLL1测试时钟输出； 当TMODI=0，群路光信号消失告警，0：告警，1：正常。
46	SSGI	I	扰码长度选择，0：五级扰码，1：七级扰码。内部下拉。
47	LPGI	I	群路环回控制，0：不环回，1：环回。内部下拉。
48	TGDO	O	群路发送25344Kb/s数据（NRZ码）输出。
49	VDD3		IO供电+3.3V
50	CK32MI	I	32768KHz时钟输入。内部下拉。
51	VSS3		IO GND
52	VSS3		IO GND
53	SEL8M2I	I	8448Kb/s通道选择。内部下拉。 0：选择第5至第8路用于E1端口； 1：第5至第8路E1被禁用，8448Kb/s数据和时钟复用第8路E1端口。
54	RGCKO	O	群路接收25344KHz时钟输出。
55	VSS2		IO GND
56	VDD2		CORE供电+2.5V
57	RGDI	I	群路接收25344Kb/s数据（NRZ码）输入。内部下拉。
58	VSS3		IO GND
59	VSS3		IO GND
60	RESET	I	全局复位信号，低电平有效。内部下拉。
61	FLOSO	O	群路帧失步，0：告警，1：正常。
62	ERR3O	O	误码率 $1 \times 10^{-3}$ 告警，0：告警，1：不告警。 E1测试误码告警，0：告警，1：不告警。
63	ERR6O	O	误码率 $1 \times 10^{-6}$ 告警，0：告警，1：不告警。 E1测试误码秒告警，0：告警，1：不告警。
64	RTAO	O	对端总告警，0：告警，1：正常。
65	TCKI	I	PLL测试时钟输入。
66	TCKO	O	PLL2测试时钟输出。

67	FSRO	O	分接侧通道语音编码的字节同步信号时钟8KHz输出。
68	RTS0O	O	分接侧2112Kb/s串行总线零时隙TS0输出端，8bit宽正脉冲。
69	RCK264O	O	分接侧264KHz时钟输出。
70	MKRO	O	分接侧2112KHz时钟输出。
71	VDDP2		PLL供电+2.5V
72	VSSP2		PLL GND
73	R2112DO	O	分接侧2112Kb/s支路数据通道输出端。
74	RCK528O	O	分接侧528Kb/s时钟输出端。
75	R528D1O	O	分接侧528Kb/s第一支路数据通道输出。
76	R528D2O	O	分接侧528Kb/s第二支路数据通道输出。
77	BKRO	O	分接侧语音编码的比特时钟66KHz输出。
78	RSCO	O	分接侧66Kb/s公务通道语音编码信号输出。
79	VDD3		IO供电+3.3V
80	VSS3		IO GND
81	RMCO	O	分接侧66Kb/s监控通道信号输出。
82	R66DO	O	分接侧66Kb/s数据通道信号输出。
83	PDI	I	本端掉电输入，0：掉电，1：正常。内部上拉。
84	RPDO	O	对端掉电告警，0：告警，1：正常。
85	TAO	O	总告警，0：告警，1：正常。
86	REMOTEI	I	告警显示控制，0：显示本端告警；1：显示对端告警。内部下拉。
87	CUTI	I	切铃控制，0：关闭告警蜂鸣声；1：打开告警蜂鸣声 注：CUT不关闭公务电话呼叫的蜂鸣声。内部上拉。
88	UART_R	I	UART输入。内部上拉。
89	UART_T	O	UART输出。正常输出，不需要高阻态。
90	VDD2		CORE供电+2.5V
91	VSS2		CORE GND
92	UART_E	O	UART使能。0：UART无数据发送,1：UART有数据发送。用于外挂多个UART接口，三态驱动指示。
93	UART_S	I	UART速率选择。0：9600,1：19200。内部下拉。
94	UEI	I	软件配置使能。0：软件配置无效,1：软件配置有效。内部下拉。
95	RHP1O	O	分接侧E1支路HDB3(正)输出/NRZ码数据输出。
96	RHN1O	O	分接侧E1第1支路HDB3(负)输出/NRZ码数据输出。
97	RHP2O	O	分接侧E1第2支路HDB3(正)输出/NRZ码数据输出。
98	RHN2O	O	分接侧E1第2支路HDB3(负)输出/NRZ码时钟输出。
99	RHP3O	O	分接侧E1第3支路HDB3(正)输出/NRZ码数据输出。
100	RHN3O	O	分接侧E1第3支路HDB3(负)输出/NRZ码时钟输出。
101	RHP4O	O	分接侧E1第4支路HDB3(正)输出/NRZ码数据输出。
102	RHN4O	O	分接侧E1第4支路HDB3(负)输出/NRZ码时钟输出。
103	VDD3		IO供电+3.3V
104	VSS3		IO GND
105	RHP5O	O	分接侧E1第5支路HDB3(正)输出/NRZ码数据输出。
106	RHN5O	O	分接侧E1第5支路HDB3(负)输出/NRZ码时钟输出。

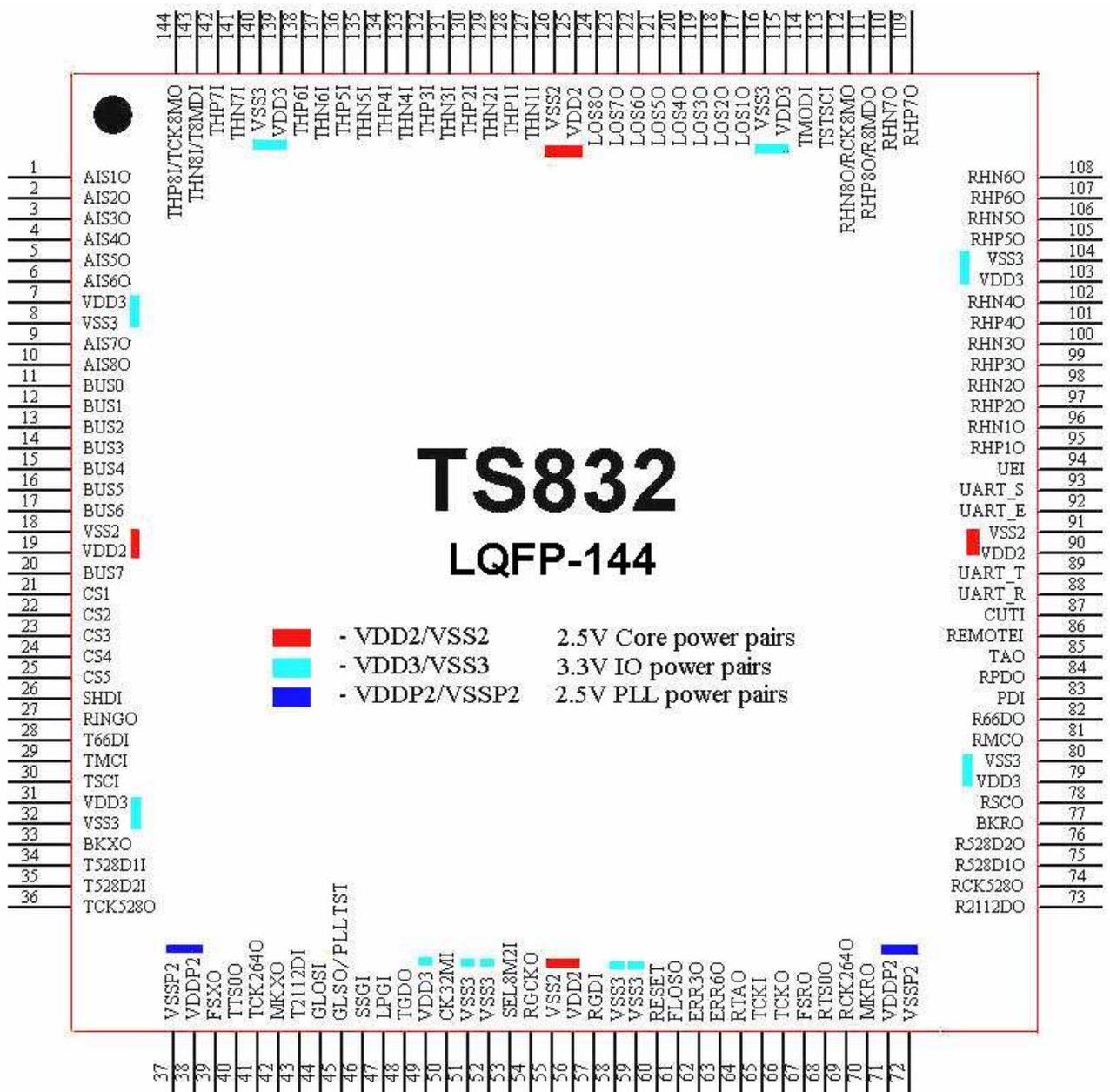
107	RHP6O	O	分接侧E1第6支路HDB3(正)输出/NRZ码数据输出。
108	RHN6O	O	分接侧E1第6支路HDB3(负)输出/NRZ码时钟输出。
109	RHP7O	O	分接侧E1第7支路HDB3(正)输出/NRZ码数据输出。
110	RHN7O	O	分接侧E1第7支路HDB3(负)输出/NRZ码时钟输出。
111	RHP8O/ R8MDO	O	分接侧E1第8支路HDB3(正)输出/NRZ码数据输出/ 分接侧8448Kb/s支路数据通道输出端。
112	RHN8O/ RCK8MO	O	分接侧E1第8支路HDB3(负)输出/NRZ码时钟输出/ 分接侧8448KHz时钟输出端。
113	TSTSCI	I	SCAN测试选择输入, 0: 非SCAN测试, 1: SCAN测试。内部下拉。
114	TMODI	I	复用测试控制。内部下拉。和TSTSCI (pin113) 配合使用。 TSTSCI    TMODI 0            0    芯片正常工作状态 0            1    PLL测试 1            0    SCAN测试Strobe/Capture状态 1            1    SCAN测试Shift状态
115	VDD3		IO供电+3.3V
116	VSS3		IO GND
117	LOS1O	O	复接侧E1第1支路信号消失告警, 0: 告警, 1: 正常。
118	LOS2O	O	复接侧E1第2支路信号消失告警, 0: 告警, 1: 正常。
119	LOS3O	O	复接侧E1第3支路信号消失告警, 0: 告警, 1: 正常。
120	LOS4O	O	复接侧E1第4支路信号消失告警, 0: 告警, 1: 正常。
121	LOS5O	O	复接侧E1第5支路信号消失告警, 0: 告警, 1: 正常。
122	LOS6O	O	复接侧E1第6支路信号消失告警, 0: 告警, 1: 正常。
123	LOS7O	O	复接侧E1第7支路信号消失告警, 0: 告警, 1: 正常。
124	LOS8O	O	复接侧E1第8支路信号消失告警, 0: 告警, 1: 正常。
125	VDD2		CORE供电+2.5V
126	VSS2		CORE GND
127	THN1I	I	复接侧E1第1支路HDB3(负)输入/NRZ码时钟输入。内部下拉。
128	THP1I	I	复接侧E1第1支路HDB3(正)输入/NRZ码数据输入。内部下拉。
129	THN2I	I	复接侧E1第2支路HDB3(负)输入/NRZ码时钟输入。内部下拉。
130	THP2I	I	复接侧E1第2支路HDB3(正)输入/NRZ码数据输入。内部下拉。
131	THN3I	I	复接侧E1第3支路HDB3(负)输入/NRZ码时钟输入。内部下拉。
132	THP3I	I	复接侧E1第3支路HDB3(正)输入/NRZ码数据输入。内部下拉。
133	THN4I	I	复接侧E1第4支路HDB3(负)输入/NRZ码时钟输入。内部下拉。
134	THP4I	I	复接侧E1第4支路HDB3(正)输入/NRZ码数据输入。内部下拉。
135	THN5I	I	复接侧E1第5支路HDB3(负)输入/NRZ码时钟输入。内部下拉。
136	THP5I	I	复接侧E1第5支路HDB3(正)输入/NRZ码数据输入。内部下拉。
137	THN6I	I	复接侧E1第6支路HDB3(负)输入/NRZ码时钟输入。内部下拉。
138	THP6I	I	复接侧E1第6支路HDB3(正)输入/NRZ码数据输入。内部下拉。
139	VDD3		IO供电+3.3V
140	VSS3		IO GND
141	THN7I	I	复接侧E1第7支路HDB3(负)输入/NRZ码时钟输入。内部下拉。

142	THP7I	I	复接侧E1第7支路HDB3(正)输入/NRZ码数据输入。内部下拉。
143	THN8I/ T8MDI	I	复接侧E1第8支路HDB3(负)输入/NRZ码时钟输入/ 复接侧8448Kb/s支路数据通道输入端。内部下拉。
144	THP8I/ TCK8MO	IO	复接侧E1 第8 支路HDB3(正)输入/NRZ 码数据输入/ 复接侧8448KHz 时钟输出端。 内部下拉

注:

管脚类型	信号	Core供电 VDD2/VSS2	IO供电 VDD3/VSS3	PLL供电 VDDP2/VSSP2	PLL测试	全局复位	测试选择
数量	110	4对	7对+3 VSS3		3	1	1

## 五、管脚分配示意图



## 六、封装尺寸

TS832 芯片采用 LQFP144 封装, 144pin。LQFP144L 封装尺寸图如下:

